

CACHE MEMORY CONTROLLING SYSTEM

Publication number: JP2066654

Publication date: 1990-03-06

Inventor: HARA HIROAKI

Applicant: NIPPON ELECTRIC CO

Classification:

- International: G06F12/12; G06F12/08; G06F12/12; G06F12/08;
(IPC1-7): G06F12/12

- European:

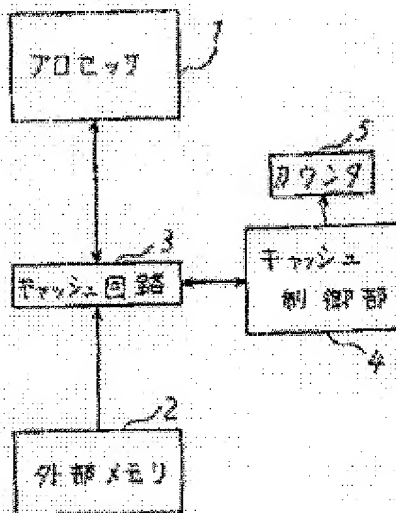
Application number: JP19880219327 19880831

Priority number(s): JP19880219327 19880831

Report a data error here

Abstract of JP2066654

PURPOSE: To obtain the maximum cache effect by performing the control to freeze a cache with a high access frequency and to allow the cache rewriting with a low access frequency respectively based on the measurement information. **CONSTITUTION:** A cache circuit 3 checks whether the access address used when a processor 1 has an access to a memory 2 is included in a cache or not. If so, the processor 1 reads out the internal value of the circuit 3. If not, the access address is read out of the external memory 2 and written automatically into the cache. A counter 5 measures the access frequency to the circuit 3 via a cache controller 4. The controller 4 freezes (inhibition of rewriting) the caches in the order of higher access frequencies and allows the rewriting of caches having lower access frequencies. Thus it is possible to ensure a high access frequency to a cache without affecting the effective speed of the memory access owing to a mere fact that the controller 4 and the counter 5 are added to the circuit 3.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-66654

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月6日

G 06 F 12/12

A

7010-5B

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 キャッシュメモリ制御方式

⑯ 特 願 昭63-219327

⑰ 出 願 昭63(1988)8月31日

⑱ 発 明 者 原 広 明 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

キャッシュメモリ制御方式

特 許 請 求 の 範 囲

外部メモリと、キャッシュ回路と、メモリアドレスのアクセス頻度を計測するカウンタと、その計測情報に基づきアクセス頻度の高いものはキャッシュ凍結し、アクセス頻度の低いものはキャッシュ書換え可とする制御を行うキャッシュ制御部とを備えることを特徴とするキャッシュメモリ制御方式。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明はキャッシュメモリ制御方式に関し、特に外付けのメモリキャッシュ装置の制御方式に関する。

〔従来の技術〕

従来、この種のキャッシュメモリ制御方式は、マップ方式で同じエントリにマッピングされるアドレスをアクセスするとキャッシュの内容が書き換えられてしまっていた。

〔発明が解決しようとする課題〕

上述した従来のキャッシュメモリ制御方式は、広い範囲のメモリアクセスでは、アクセスする度にキャッシュの内容が書き換えられてしまうので、キャッシュの効果が得られないという欠点がある。
〔課題を解決するための手段〕

本発明のキャッシュメモリ制御方式は、外部メモリと、キャッシュ回路と、メモリアドレスのアクセス頻度を計測するカウンタと、その計測情報に基づきアクセス頻度の高いものはキャッシュ凍結し、アクセス頻度の低いものはキャッシュ書換え可とする制御を行うキャッシュ制御部とを備えることを特徴とする。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図で

ある。

第1図において、キャッシュ回路3はプロセッサ1がメモリ2をアクセスしたときのアクセスアドレスがキャッシュの中に存在するかどうかをチェックし、もし存在すればプロセッサ1はキャッシュ回路3内の値を読み出し、またキャッシュの中に存在しなければ外部メモリ2から読み出して自動的にキャッシュに書き込む。カウンタ5はキャッシュ回路3へのアクセス頻度をキャッシュ制御装置4を介して計測し、キャッシュ制御装置4はアクセス頻度の高い順にキャッシュ凍結（書換え不許可）し、アクセス頻度の低いものに対してはキャッシュ書換え可とする。

本実施例では、キャッシュ制御装置4とカウンタ5とをキャッシュ回路3に付加しているだけなので、メモリアクセスの実効速度に何ら影響を与えることなく、アクセス頻度の高いものをキャッシュに置くことができる。

〔発明の効果〕

以上説明したように本発明によれば、アクセス

頻度を計測してアクセス頻度の高いものをキャッシュ凍結することにより、広い範囲のメモリアクセスでも毎回書き換えられることなしに最大のキャッシュ効果が得られる。

図面の簡単な説明

第1図は本発明の一実施例を示すブロック図である。

1…プロセッサ、2…外部メモリ、3…キャッシュ回路、4…キャッシュ制御部、5…カウンタ。

代理人 井理士 内 原



第 1 図

